

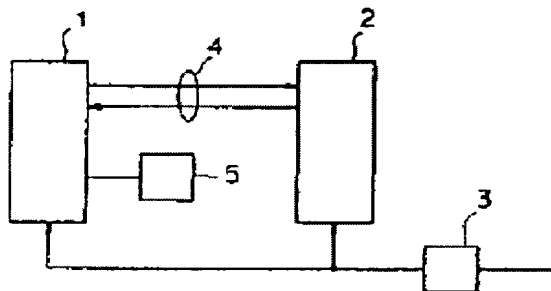
MULTIPROCESSOR

Patent number: JP1161472
Publication date: 1989-06-26
Inventor: MURATA JUNICHI
Applicant: MITSUBISHI ELECTRIC CORP
Classification:
- **International:** G06F15/16
- **European:**
Application number: JP19870322175 19871217
Priority number(s):

Abstract of JP1161472

PURPOSE: To enable control to be continued when a power source is hit by detecting the hit of the power source with the aid of a hit detection circuit, transmitting a hit detection signal to each microprocessor by a serial signal when the power source is hit and continuing the control.

CONSTITUTION: When the power source of a system is hit, the both of a master CPU 1 and a slave CPU 2 are reset once by a reset circuit 3. However, the hit detection circuit 5 decides/detects whether the power source is hit or not and detects the hit of it, the hit detection information is transmitted to the master CPU 1 and simultaneously transmitted to the slave CPU 2 through a serial interface 4 by the serial signal. Then, when the master CPU 1 and the slave CPU 2 receive the hit detection information, they cancel the reset executed once by the reset circuit 3 and continue and executed the control.



Data supplied from the esp@cenet database - Patent Abstracts of Japan

일본공개특허공보 평01-161472호(1989.06.26) 1부.

[첨부그림 1]

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平1-161472

⑮ Int. Cl.⁴

G 06 F 15/16

識別記号

3 1 0

庁内整理番号

E-6745-5B
Z-6745-5B

⑭ 公開 平成1年(1989)6月26日

審査請求 未請求 発明の数 1 (全3頁)

⑬ 発明の名称 マルチプロセッサシステム

⑯ 特 願 昭62-322175

⑰ 出 願 昭62(1987)12月17日

⑱ 発 明 者 村 田 純 一 兵庫県尼崎市塚口本町8丁目1番1号 三菱電機株式会社
通信機製作所内

⑲ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑳ 代 理 人 弁理士 大岩 増雄 外2名

明 細 書

1. 発明の名称

マルチプロセッサシステム

2. 特許請求の範囲

複数のマイクロプロセッサから構成され、上記の各マイクロプロセッサ相互間の通信をシリアル信号で行なうシリアルインターフェイスをそなえたマルチプロセッサシステムにおいて、同システムの電源の瞬断を検出する瞬断検出回路をそなえ、同瞬断検出回路が上記電源の瞬断を検出した場合、上記シリアルインターフェイスを通じて上記の各マイクロプロセッサに瞬断検出情報をシリアル信号により伝送し上記の各マイクロプロセッサによる制御を継続することを特徴とするマルチプロセッサシステム。

3. 発明の詳細な説明

[産業上の利用分野]

この発明は、無線機等を制御する機器組込型の複数のマイクロプロセッサから構成されるマルチプロセッサシステムに関するものである。

[従来の技術]

第2図は例えばマスタおよびスレーブの2つのマイクロプロセッサ(CPU)により構成された従来のマルチプロセッサシステムを示すブロック図であり、図において、1はマスタCPU、2はスレーブCPU、3は各CPU1、2をリセットするためのリセット回路、4はマスタCPU1とスレーブCPU2との間の通信をシリアル信号により行なうシリアルインターフェイスである。

次に動作について説明する。システム全体の制御はマスタCPU1によつて管理され、特定の処理はスレーブCPU2によつて行なわれる。また、マスタCPU1とスレーブCPU2との間の通信は、シリアルインターフェイス4を介してシリアル信号により行なわれる。

また、システムの電源が瞬断した場合には、リセット回路3によりマスタCPU1およびスレーブCPU2の両方にリセットがかかり、プログラムの実行がリスタートされるようになっている。

[発明が解決しようとする問題点]

従来のマルチプロセッサシステムは以上のように構成されているので、電源瞬断時には、マスターCPU1およびスレーブCPU2の両方がリセットされてプログラムの実行がリスタートされ、制御を継続しようとしてもできないという問題点があった。

この発明は上記のような問題点を解消するためになされたもので、システムの電源瞬断を検出し、電源瞬断時にも制御を継続できるようにした、マルチプロセッサシステムを得ることを目的とする。
[問題点を解決するための手段]

この発明に係るマルチプロセッサシステムは、同システムの電源の瞬断を検出する瞬断検出回路をそなえ、同瞬断検出回路が上記電源の瞬断を検出した場合、シリアルインターフェイスを通じて各マイクロプロセッサ(CPU)に瞬断検出情報をシリアル信号により伝送し、上記の各マイクロプロセッサによる制御を継続するものである。

[作 用]

この発明におけるマルチプロセッサシステムで

瞬断を検出する瞬断検出回路である。

次に、本実施例のシステムの動作について説明する。従来のシステムと同様に、システム全体の制御はマスターCPU1によつて管理され、特定の処理はスレーブCPU2によつて行なわれ、また、マスターCPU1とスレーブCPU2との間の通信は、シリアルインターフェイス4を介してシリアル信号により行なわれる。

そして、システムの電源が瞬断した場合には、リセット回路3によりマスターCPU1およびスレーブCPU2の両方に一旦リセットがかかる。

しかし、本実施例では、電源が瞬断であるか否かが、瞬断検出回路5により判定・検出され、瞬断が検出された場合には、その瞬断検出情報が、マスターCPU1へ伝送されるとともに、シリアルインターフェイス4を介してシリアル信号によりスレーブCPU2へも伝送される。そして、マスターCPU1およびスレーブCPU2は、瞬断検出情報を受けると、一旦リセット回路3により行なわれたリセットを解除し、従来のようにプログラ

特開平1-161472(2)

は、瞬断検出回路によりシステムの電源の瞬断が検出されると、シリアルインターフェイスを通じて各マイクロプロセッサ(CPU)に瞬断検出情報がシリアル信号により伝送されて、従来のように瞬断に伴うリセット、リスタートを行なうことなく、各マイクロプロセッサによる制御が継続・実行される。

[発明の実施例]

以下、この発明の一実施例を図について説明する。第1図はこの発明の一実施例によるマルチプロセッサシステムを示すブロック図であり、本実施例においても、マルチプロセッサシステムが、2つのマイクロプロセッサ(マスターCPU1およびスレーブCPU2)から構成される場合について説明する。

また、第1図において、3は各CPU1、2をリセットするためのリセット回路、4はマスターCPU1とスレーブCPU2との間の通信をシリアル信号により行なうシリアルインターフェイス、5はマスターCPU1に接続されシステムの電源の

ムをリスタートすることなく、制御を継続・実行する。

なお、上記実施例では、マイクロプロセッサが2台の場合について説明しているが、これに限定されるものでなく、3台以上の複数のマイクロプロセッサから構成されるマルチプロセッサシステムにも本発明は同様に適用される。このとき、瞬断検出情報を伝送するのにシリアル信号を使用しているため、マイクロプロセッサ(スレーブCPU)の数が多い場合でも、同一のシリアルインターフェイス4で伝送することが可能であり、また、特定のマイクロプロセッサ(スレーブCPU)にのみ情報を伝送することもできる。

[発明の効果]

以上のように、この発明によれば、瞬断検出回路により電源の瞬断を検出し、瞬断である場合には、その瞬断検出信号をシリアル信号で各マイクロプロセッサへ伝送して制御を継続するように構成したので、電源瞬断時の制御継続が可能であり、インターフェイスの信号線も少なくてすむという

特開平1-161472(3)

効果がある。

4. 図面の簡単な説明

第1図はこの発明の一実施例によるマルチプロセッサシステムを示すブロック図、第2図は従来のマルチプロセッサシステムを示すブロック図である。

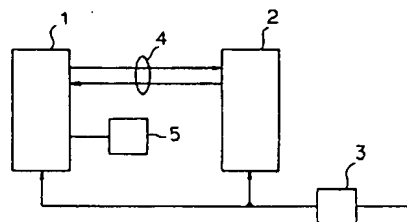
図において、1—マスターCPU、2—スレーブCPU、4—シリアルインターフェイス、5—瞬断検出回路。

なお、図中、同一の符号は同一、又は相当部分を示している。

代理人 大 岩 増 雄

第 1 図

- 1 --- マスタCPU
- 2 --- スレーブCPU
- 4 --- シリアルインターフェイス
- 5 --- 瞬断検出回路



第 2 図

